



H4

PATENT
Docket No. 449122024500

CERTIFICATE OF HAND DELIVERY

I hereby certify that this correspondence is being hand filed with the United States Patent and Trademark Office in Washington, D.C. on May 20, 2002.

Melissa Garton
Melissa Garton

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In the application of:

Wilhelm KOENIG et al.

Serial No.: 10/083,653

Filing Date: February 27, 2002

For: RECEIVER-END SUPPLEMENTARY
CIRCUIT FOR BOUNDARY SCAN IN
DATA TRANSMISSION WITH
DIFFERENTIAL SIGNALS

Examiner: Not yet assigned

Group Art Unit: 2661

TRANSMITTAL OF PRIORITY DOCUMENT

Commissioner for Patents
Washington, D.C. 20231

Sir:

Under the provisions of 35 USC 119, Applicants hereby claims the benefit of the filing of German patent application No. 10109558.9, filed February 28, 2001.

A certified copy of the priority document is attached to perfect Applicants' claim for priority. It is respectfully requested that the receipt of this certified copy attached hereto be acknowledged in this application.

In the event that the transmittal letter is separated from this document and the Patent and Trademark Office determines that an extension and/or other relief is required, Applicants petition for any required relief including extensions of time and authorizes the Commissioner to charge the cost of such petitions and/or other fees due in connection with the filing of this document to Deposit Account No. 03-1952 and reference Docket No. 449122024500.

THIS PAGE BLANK (USPTO)

However, the Commissioner is not authorized to charge the cost of the issue fee to the Deposit Account.

Dated: May 20, 2002

Respectfully submitted,

By 

Kevin R. Spivak
Registration No. 43,148

Morrison & Foerster LLP
2000 Pennsylvania Avenue, N.W.
Washington, D.C. 20006-1888
Telephone: (202) 887-1545
Facsimile: (202) 263-8396

THIS PAGE BLANK (USPTO)

BUNDESREPUBLIK DEUTSCHLAND



Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

Aktenzeichen: 101 09 558.9
Anmeldetag: 28. Februar 2001
Anmelder/Inhaber: Siemens Aktiengesellschaft,
München/DE
Bezeichnung: Empfängerseitige Zusatzschaltung für den
Boundary Scan bei der Datenübertragung mit
differentiellen Signalen
IPC: G 01 R 31/3181

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 07. März 2002
Deutsches Patent- und Markenamt
Der Präsident

Im Auftrag

A handwritten signature in black ink, appearing to read "OM" or "OMW".

Wällner

THIS PAGE BLANK (USPTO)

Beschreibung

Empfängerseitige Zusatzschaltung für den Boundary Scan bei der Datenübertragung mit differentiellen Signalen

5

Der Anmeldungsgegenstand betrifft eine Eingangsschaltung zur Detektion einer Unterbrechung in einer differentiellen Signalzuführung.

10 Für die Prüfung der gelöteten Verbindungen zwischen verschiedenen Bausteinen ICs (Integrated Circuit) auf den Baugruppen wird in der Regel der sog. Boundary Scan verwendet. Boundary Scan (BSc) ist eine im Baustein integrierte Testlogik, die als Testhilfe für den Baustein- und Baugroupentest dient.

15 Boundary Scan ist von IEEE standardisiert worden /1/: "IEEE Standard Test Access Port and Boundary-Scan Architecture, IEEE Std 1149.1-1990 (includes IEEE Std 1149.1a-1993), vom 21. Okt. 1993, herausgegeben vom IEEE Institute of Electrical and Electronics Engineers, Inc., New York". Die BSc-

20 Architektur besteht aus einem Schieberegister (BSc-Register), das zwischen Anschlußpins und interner Logik so eingefügt ist, daß das Signal im Normalbetrieb durch einen zusätzlichen Multiplexer geführt wird.

25 Fig 1 zeigt das Prinzip des Boundary Scan und die Anwendung beim Test von Verbindungsleitungen auf einer Baugruppe. Zwischen den Eingangspins E1 bis En und der Kernlogik CL (für: Core Logic) eines Bausteins IC1 (für: Integrated Circuit) befinden sich die Boundary Scan-Eingangszellen BScIN und zwi-

30 schen der Kernlogik und den Ausgangspins A1.1 bis An die Boundary Scan-Ausgangszellen BScOUT. Die BSc-Zellen BScIN und BScOUT bilden die einzelnen Speicherzellen des Schieberegisters. Das Schieberegister kann seriell über den Eingang TDI (test data in) oder parallel über die Eingangspins E1 bis En

35 geladen werden, ebenso können die Ausgangsdaten seriell am Ausgang TDO (test data out) oder parallel an den Ausgängen A1.1 bis An abgenommen werden. In Fig. 1 ist als Beispiel der

Test der Verbindungen zwischen den Ausgängen A1.1 bis An von IC1 und den Eingängen E1 bis En von Baustein IC2 gezeigt. Da-
zu wird über den Eingang TDI von IC1 ein Testbitmuster se-
riell in das Schieberegister eingeschoben, bis es an den BSc-
Ausgangszellen BScOUT von IC1 erscheint, dann als paralleles
Bitmuster an IC2 übertragen, dort von den BSc-Eingangszellen
BScIN übernommen und seriell über das Schieberegister von IC2
am Ausgang TDO herausgeschoben und dann vom Testsystem analy-
siert. Die Kernlogik ist während dieses Tests vom BSc-
Register logisch getrennt.

Fig. 2 zeigt das Prinzip einer Datenübertragung mit differen-
tiellen Leitungen. Der Sendebaustein SB mit der Ausgangstreiberstufe AT sendet an den Pins A1.1 und A1.2 zueinander kom-
plementäre Signale, z.B. an A1.1 eine logische "1" und an
A1.2 eine logische "0". Die Leitungen L1 und L2 sind am Emp-
fängerbaustein EB jeweils mit einem Abschlußwiderstand RT1
bzw. RT2 an das Abschlußpotential VTT angeschlossen, das von
einer Spannungsquelle UTT geliefert wird. Es sind auch diffe-
rentielle Übertragungen ohne das Abschlußpotential möglich,
so daß die Widerstände in Reihe geschaltet sind und zu einem
zusammengefaßt werden können. Da bei den heute meistverwende-
ten CMOS-Technologien in der Regel die Ausgangsstufen beim
Sendebaustein geschaltete Stromquellen und damit hochohmig
sind, können aber bei fehlender Anbindung an ein Abschlußpo-
tential eventuelle Gleichtaktstörungen schlecht bedämpft wer-
den, so daß für schnelle Datenübertragungen meist die Varian-
te mit Abschlußpotential zum Einsatz kommt. Eine solche
Stromquelle liefert z.B. am Pin A1.1 den Strom J1, der an RT1
einen entsprechenden Spannungsabfall erzeugt, und zieht in
den Pin A1.2 einen Strom J2, der an RT2 einen entsprechenden
Spannungsabfall erzeugt. Der Eingangskomparator K1 detektiert
die Spannungsdifferenz über RT1 und RT2. Beim komplementären
Pegel kehren sich die Stromrichtungen um. (Anmerkung: Bei dem
weiter unten beschriebenen LVDS (low voltage differential
signalling)-Standard ist $J2 = J1$, so daß die Ausgangsstufe
source- und sinkfähig ist. Bei dem ebenfalls weiter unten be-

schriebenen CML (current mode logic)-Standard ist die Ausgangsstufe nur source- oder sinkfähig - je nach schaltungs-technischer Realisierung - und es fließt nur in einer Leitung ein Strom, während die andere Leitung stromlos ist. Der Strom fließt dann über den Mittenabgriff C.)

Bei CMOS-Bausteinen erfolgt die Verarbeitung der logischen Signale intern als Eintaktsignale, d.h. jedem Signal ist nur eine Leitung zugeordnet, deren Pegel auf ein Nullpotential (Masse) bezogen ist. Für die Übertragung von Baustein zu Baustein verwendet man bei hohen Datenraten jedoch meistens differentielle Signale. Um zu vermeiden, daß die Ein- und Ausgangsschaltungen, die die differentiellen Signale empfangen bzw. erzeugen, durch die zusätzliche Logik für den Boundary Scan belastet werden und die Qualität der übertragenen Signale somit beeinträchtigt wird, speist man die Daten im Boundary Scan-Betrieb sendeseitig vor dem Ausgangstreiber als Eintaktsignale ein und verarbeitet ebenso empfangsseitig die Daten nach dem Eingangsbuffer als Eintaktsignale weiter. Dies ist im Fig. 3 gezeigt; BScOUT ist die Boundary Scan-Zelle vor dem Ausgangstreiber, BScIN die entsprechende Zelle nach dem Eingangskomparator. Es können also nicht beide Leitungen eines differentiellen Signals auf Senderseite separat angesteuert und auf Empfangsseite separat ausgewertet und somit auch nicht beide Verbindungsleitungen auf der Baugruppe unabhängig voneinander geprüft werden.

Um trotzdem im Prüffeld beide differentiellen Leitungen prüfen zu können, wurden teilweise zusätzliche Prüfverfahren angewendet. Es wurden z.B. die betreffenden Leitungen auf der Baugruppe mit Nadeln kontaktiert, darauf Ströme eingeprägt und mit Hilfe von zusätzlichen Pins beim Sende- und/oder Empfangsbaustein der Spannungsabfall an den Eingangsschutzdioden, Eingangswiderstände usw. geprüft. Solche zusätzlichen Prüfverfahren verursachen aber hohe Kosten. Zudem setzt die Kontaktierung mit Nadeln voraus, daß die Leitungen an der Oberfläche der Baugruppe zugänglich sind. Bei den neuen Bau-

gruppentechnologien kommen nun sog. μ -Vias zum Einsatz, d.h. die Durchkontaktierungen (Vias) zwischen Leitungen in verschiedenen Verdrahtungsebenen werden nicht wie bisher durch die ganze Baugruppe gebohrt, sondern nur noch zwischen den Ebenen, in denen diese Leitungen liegen. Besonders Leitungen für hochbitratige Verbindungen werden dann nur noch in innenliegenden, geschirmten Ebenen geführt, und, da bei den Bausteinen für hohe Bitraten bevorzugt Ball-Grid Array-Gehäuse zum Einsatz kommen, bei denen die Anschlüsse auf der Unterseite des Bausteins verlötet werden und somit ebenfalls nicht mehr zugänglich sind, besteht keine Möglichkeit mehr, diese Leitungen mit Nadeln zu kontaktieren.

Ist bei einer differentiellen Verbindung nach Fig. 2 eine der beiden Leitungen unterbrochen, z.B. durch einen Haarriß oder nicht angelötete Pins bzw. Balls, so kann beim Boundary Scan diese Unterbrechung nicht eindeutig erkannt werden. Dies wird im Folgenden an Hand von Funktionsbeschreibungen von LVDS- und CML-Schaltungen näher erläutert.

Für die schnelle elektrische Datenübertragung zwischen Bausteinen auf einer Baugruppe oder über eine Rückwand auf eine andere Baugruppe haben sich verschiedene Interface-Standards herausgebildet wie ECL (emitter coupled logic), GTL (gunning transceiver logic), CML, LVDS usw. Bei diesen Standards sind jeweils die Spannungsspegel bzw. Ausgangsströme, Abschlußwiderstände und ähnliches genormt. Die Ausgangsschaltungen des Sendebausteins arbeiten dabei häufig als geschaltete Stromquellen, die an den Abschlußwiderständen einen entsprechenden Spannungshub erzeugen, der sich bei diesen Standards in der Regel bei einigen hundert mV bewegt.

Bei hohen Datenraten und CMOS kommen vor allem LVDS (low voltage differential signaling) /2/ " IEEE Standard for Low-Voltage Differential Signals (LVDS) for Scalable Coherent Interface (SCI), IEEE Std 1596.3-1996, vom 31. Juli 1996, herausgegeben vom IEEE Institute of Electrical and Electronics

Engineers, Inc., New York" und CML zum Einsatz. Fig. 4 zeigt die Funktionsweise von LVDS, Fig. 5 die Funktionsweise von CML.

5 Bei LVDS-Verbindungen erfolgt beim Empfänger der Abschluß durch einen 100Ω -Widerstand zwischen den differentiellen Leitungen, wobei dieser Widerstand häufig in zwei in Serie geschaltete 50Ω -Widerstände aufgeteilt und der entstehende Mittenanschluß auf ein Festpotential gelegt wird (bei LVDS 1.2 V), um Gleichtaktstörungen auf den Leitungen zu bedämpfen (Fig. 4). Diese Abschlußwiderstände sind bei modernen CMOS-Technologien in der Regel im Baustein integriert. Bei LVDS fließt beim Senden einer logischen "1" Strom vom Sender aus Pin A1.1 durch die Widerstände RT1 und RT2 zum Pin A1.2 des Senders zurück. Der Empfänger detektiert die Spannungsdifferenz an den Widerständen und der Eingangsbuffer wandelt sie wieder in logische Pegel um. Beim Senden einer logischen "0" kehrt sich die Stromrichtung und damit das Vorzeichen des Spannungsabfalls an RT1 und RT2 um.

20 Jetzt sei die Leitung L2 unterbrochen, z. B. durch einen Haarriß auf der Baugruppe oder durch einen nicht angelöteten Pin. Dann fließt im Fall einer logischen "1" der Ausgangstrom über RT1 zur Spannungsquelle UTT von 1.2 V. An RT1 entsteht der gleiche Spannungsabfall wie vorher. An RT2 entsteht kein Spannungsabfall. Der Eingangskomparator erhält an seinem Eingang jetzt zwar nur den halben Hub, wird aber die "1" korrekt detektieren. Im Fall einer "0" am Senderausgang kehrt sich die Stromrichtung und damit das Vorzeichen des Spannungsabfalls an RT1 um; RT2 ist wieder stromlos. Vom Eingangskomparator wird die "0" korrekt detektiert. Es kann also hinter dem Eingangskomparator nicht erkannt werden, daß eine der beiden differentiellen Leitungen unterbrochen ist. Die differentielle Übertragung wird in diesem Fall auf eine Ein-taktübertragung reduziert. Bei hohen Datenraten oder Taktfrequenzen entstehen dann wegen der verminderteren Reserve Bitfehler.

Bei CML (Fig. 5) ist je nach logischem Sendepegel entweder die eine oder andere Leitung stromführend, während die jeweils andere stromlos ist. An den Eingängen A1.1 und A1.2 sind die differentiellen Signalleitungen mit den Abschlußwiderständen RT1 und RT2 verbunden, deren andere Anschlüsse an ein gemeinsames Abschlußpotential VTT geführt sind. Dieses Abschlußpotential ist in vielen Fällen die Versorgungsspannung VDD des Bausteins. Es kann auch ein niedrigeres Abschlußpotential verwendet werden, z.B. um Verlustleistung zu sparen - in diesem Fall wird das Abschlußpotential über einen separaten Pin von außen zugeführt - oder um den Eingangsempfänger in einen optimalen Arbeitspunkt zu bringen - in diesem Fall kann das Abschlußpotential entweder im Baustein erzeugt oder über einen separaten Pin von außen zugeführt sein. Beim Senden einer logischen "1" sperrt Transistor M1 und an RT1 entsteht kein Spannungsabfall. M2 ist dann leitend und übernimmt den Strom des als Stromquelle geschalteten Transistors M3. Der Spannungsabfall an RT2 wird vom Eingangskomparator detektiert und wieder in eine logische "1" umgesetzt. Beim Senden einer logischen "0" leitet M1 und übernimmt den Strom von der Stromquelle M3, so daß an RT1 ein Spannungsabfall entsteht, der vom Eingangskomparator detektiert wird. M2 sperrt, so daß an RT2 kein Spannungsabfall entsteht.

Jetzt sei z.B. wieder Leitung L2 unterbrochen. Im Fall einer logischen "1" an A1.1 und einer "0" an A1.2 ist RT1 stromlos, aber auch RT2, da M2 zwar leitet, der Strom aber wegen der unterbrochenen Leitung nicht durch RT2 fließen kann. Der logische Pegel am Ausgang des Empfangskomparators hängt dann von seiner Offsetspannung ab, d.h. je nach deren Vorzeichen wird am Ausgang eine "0" oder "1" entstehen. Entsteht eine "1", so ist die gesendete "1" korrekt erkannt, trotz der unterbrochenen Leitung. Im Fall einer "0" am Ausgang A1.1 wird diese beim Empfänger richtig erkannt, da die stromführende Leitung nicht unterbrochen ist. Es hängt also bei CML von

der Offsetspannung des Eingangskomparators ab, ob eine Leistungsunterbrechung erkannt wird oder nicht.

Der Erfindung liegt das Problem zugrunde, bei differentiellen Verbindungen - z.B. nach dem LVDS-Prinzip mit Mittenanzapfung oder nach dem CML-Prinzip - eine Möglichkeit zu schaffen, eine Unterbrechung auch nur einer Verbindungsleitung eindeutig detektierbar zu machen.

Das Problem wird durch eine Eingangsschaltung mit den Merkmalen des Anspruchs 1 gelöst.

Die Erfindung bringt eine eindeutige Erkennung einer Unterbrechung einer oder beider Verbindungsleitungen mit sich. Der Einsatz der die Erfindung realisierenden Schaltung ist nur für den Boundary Scan-Betrieb notwendig. Bei Datenübertragung im Normalbetrieb hat diese Zusatzschaltung keine Funktion und kann so ausgelegt werden, daß sie abschaltbar ist, z.B. um Verlustleistung zu sparen.

Vorteilhafte Weiterbildungen des Anmeldungsgegenstandes sind in den Unteransprüchen angegeben.

Gemäß einer besonderen Ausgestaltung der Erfindung sind die Abschlußwiderstände außerhalb des Bausteins angeordnet und zwei zusätzliche Stromquellen vorhanden, die je mit einem Eingangsanschluß und mit dem jeweiligen anderen Anschluß mit einem positiven oder negativen Versorgungspotential verbunden sind oder alternativ einer der beiden anderen Anschlüsse mit einem positiven und der andere mit einem negativen Versorgungspotential verbunden ist, wobei jede der beiden Stromquellen einen Strom einprägt, der deutlich geringer ist als die im Normalbetrieb oder Testfall fließenden Ströme.

Diese Maßnahme bringt keine Einschränkung der Funktion mit sich, verhindert aber ein Schweben der Komparatoreingänge und damit verbunden undefinierte logische Pegel an den Kompara-

torausgängen im Falle der Unterbrechung einer oder beider differentieller Leitungen.

Der Anmeldungsgegenstand wird im folgenden als Ausführungsbeispiel in einem zum Verständnis erforderlichen Umfang anhand von Figuren näher erläutert. Dabei zeigen:

Fig. 1 eine prinzipielle Darstellung des Boundary Scan für zwei Bausteine IC1 und IC2,

Fig. 2 das Prinzip einer Datenübertragung mit differentiellen Leitungen,

Fig. 3 eine differentielle Datenübertragung zwischen CMOS-Bausteinen mit Boundary Scan,

Fig. 4 eine LVDS-Verbindung zwischen CMOS-Bausteinen,

Fig. 5 eine CML-Verbindung zwischen CMOS-Bausteinen,

Fig. 6 eine die Erfindung realisierende Ausführungsform,

Fig. 7 eine weitere die Erfindung realisierende Ausführungsform,

Fig. 8 eine weitere die Erfindung realisierende Ausführungsform mit Abschlusswiderständen außerhalb des Bausteins,

Fig. 9 eine weitere die Erfindung realisierende Ausführungsform für LVDS-Technologie,

Fig. 10 eine weitere die Erfindung realisierende Ausführungsform, bei der Strom von der Mittenabzapfung C durch die Abschlußwiderstände fließt,

Fig. 11 eine weitere die Erfindung realisierende Ausführungsform für CML-Technologie und

Fig. 12 eine besondere die Erfindung realisierende Ausführungsform mit Abschlusswiderständen außerhalb des Bausteins.

In den Figuren bezeichnen gleiche Bezeichnungen gleiche Elemente.

Fig. 6 Das zeigt eine prinzipielle Ausführungsform der Erfindung. In dem Empfangsbaustein EB sind zusätzlich zwei Hilfsspannungsquellen UH1 und UH2 sowie zwei Komparatoren K2 und K3 vorhanden. Die Komparatoren K2 und K3 detektieren den Spannungsabfall an RT1 und RT2 separat, so daß die Unterbre-

chung einer (oder auch beider) Leitungen erkannt wird. UH1 und UH2 verhindern, daß bei einer Leitungsunterbrechung der Eingang von K2 bzw. K3 schwebt und damit die Ausgangspegel YK2 bzw. YK3 von der Offsetspannung der Komparatoren abhängen. Die Hilfsspannungen müssen einerseits größer sein als der maximale Eingangsoffset der Komparatoren K2 und K3, so daß ein definierter logischer Pegel an den Ausgängen von K2 und K3 entsteht, andererseits müssen sie aber kleiner sein als der minimale Spannungshub, den der Sender an einem Abschlußwiderstand erzeugt. Im Ruhezustand, d.h. wenn der Sender auf hochohmig geschaltet ist, liefern K2 und K3 am Ausgang jeweils "1". Tabelle 1 zeigt die jeweiligen möglichen Kombinationen von Sendepegeln, intakten oder unterbrochenen Leitungen und entsprechenden Ausgangspegeln der Komparatoren K2 und K3. Für die beiden Hilfsspannungen ist im Folgenden ein Wert von je $\Delta U = 75 \text{ mV}$ angenommen. Dies liegt sicher über dem Offset für CMOS-Komparatoren und sicher unter dem minimalen Hub an RT1 bzw. RT2.

Zustand der Leitungen		Sendedatum am Ausgang		Empfangsdatum am Eingang		Komparatorausgänge		Bemerkung
L1	L2	A1.1	A1.2	E1.1	E1.2	YK2	YK3	
intakt	intakt	0	1	0	1	0	1	
intakt	intakt	1	0	1	0	1	0	
unterbrochen	intakt	0	1	(ΔU) *	1	1	1	Fehler an L1 erkannt
unterbrochen	intakt	1	0	(ΔU) *	0	1	0	
intakt	unterbrochen	0	1	0	(ΔU) *	0	1	
intakt	unterbrochen	1	0	0	(ΔU) *	1	1	Fehler an L2 erkannt
unterbrochen	unterbrochen	0	1	(ΔU) *	(ΔU) *	1	1	Fehler an L1 erkannt
unterbrochen	unterbrochen	1	0	(ΔU) *	(ΔU) *	1	1	Fehler an L2 erkannt

* (ΔU) ist der Wert der Hilfsspannungen UH1 und UH2.

Tabelle 1

5 Aus der Tabelle 1 ergibt sich, daß mit der erfindungsgemäßen Schaltung Unterbrechungen einer oder beider differentieller Leitungen eindeutig erkannt werden, wobei bei mindestens einer Leitungsunterbrechung an beiden Komparatorausgängen YK2 und YK3 jeweils eine logische "1" anliegt.

10

Fig. 7 zeigt eine Variante der erfindungsgemäßen Zusatzschaltung, die mit einer Hilfsspannung UH auskommt, welche sich dann in Reihe zu den miteinander verbundenen Eingängen von K2 und K3 befindet. Die Realisierung solcher Hilfsspannungsquellen ist schaltungstechnisch bei CMOS schwierig. Gut realisierbar sind hingegen Stromquellen, so daß man eine Hilfsspannung zweckmäßig mit einer Stromquelle und einem Widerstand erzeugt. Da die Abschlußwiderstände bereits vorhanden sind, kann man vorteilhaft diese dazu benutzen. Eine Möglichkeit für die Realisierung zeigt Fig. 8. Es sind zwei Stromquellen vorhanden, die durch die Abschlußwiderstände (hier als gleich groß angenommene) Ströme J1 zum negativen Versorgungspotential oder Masse einprägen, wodurch die Hilfsspannungen direkt an diesen Widerständen entstehen. Es können auch Stromquellen benutzt werden, die an ein positives Versorgungspotential angeschlossen sind und Ströme J1 in umgekehrter Richtung einprägen, so daß sich das Vorzeichen der Hilfsspannungen umkehrt. Ebenso kann eine Stromquelle an einem Abschlußwiderstand einen positiven Strom einprägen, die andere am anderen Abschlußwiderstand einen negativen. Gegebenenfalls sind dann für Komparator K2 bzw. K3 invertierender und nichtinvertierender Eingang entsprechend zu vertauschen.

35 Bisher war angenommen worden, daß die Abschlußwiderstände im Baustein integriert waren. Die erfindungsgemäße Schaltung ist aber nicht darauf beschränkt, sondern auch anwendbar, wenn sich die Abschlußwiderstände außerhalb des Bausteins befin-

den. Analog zu Fig. 8 werden dann bei einer Unterbrechung zwischen externem Widerstand und der Eingangsschaltung, z.B. infolge eines nicht angelöteten Pins, die Eingänge der Komparatoren K2 und K3 von den Stromquellen auf ein definiertes Potential gezogen und ein Schweben der Eingänge verhindert.

Im Folgenden sind Ausführungsbeispiele der erfindungsgemäßen Zusatzschaltung bei LVDS und CML angegeben.

Ein Ausführungsbeispiel der erfindungsgemäßen Zusatzschaltung für den LVDS-Fall ist in Fig. 9 gezeigt. An den Eingängen E1.1 und E1.2 befinden sich die Abschlußwiderstände RT1 und RT2, deren andere Anschlüsse miteinander verbunden und über Pin C an die externe 1.2 V-Spannungsquelle angeschlossen sind. Der Komparator K1 ist der LVDS-Eingangskomparator. Die Komparatoren K2 und K3, die Transistoren M1 bis M5 und die Stromquelle IREF bilden die Zusatzschaltung für den Boundary Scan-Fall. Ferner sind zwei Boundary Scan-Zellen BSc-Z1 und BSc-Z2 vorhanden, die zum normalen Boundary Scan-Register gehören. Im Boundary Scan-Fall wird von der Stromquelle IREF, die einen Referenzstrom erzeugt, über den Transistor M1 der Strom auf M2 und M4 gespiegelt. M1, M2 und M4 bilden einen sog. Stromspiegel. Die Wirkungsweise eines Stromspiegels und die Erzeugung eines Referenzstroms sind in der Literatur vielfach erklärt, z.B. /3/ " Paul R. Gray, Robert G. Meyer, "Analysis and Design of Analog Integrated Circuits", John Wiley & Sons, New York, 1984". Der Stromfluß durch M2 und M4 soll je ca. 1,5 mA betragen, so daß sich an RT1 und RT2 jeweils ein Spannungsabfall von ca. 75 mV einstellt ($1,5 \text{ mA} * 50 \Omega = 75 \text{ mV}$). Dies läßt sich durch die Größe von IREF und entsprechende Dimensionierung von M1, M2 und M4 erreichen. In einer besonderen Ausführungsform werden die Hilfsspannungen an RT1 und RT2 mit Stromquellen erzeugt, die einen Strom vom Anschluss C nach GND ziehen, so wie in Fig. 8 bereits prinzipiell dargestellt. Eine erfindungsgemäße Schaltung zeigt Fig. 10. Es sind dann entsprechend n-Kanal-Transistoren statt p-Kanal-Transistoren zu verwenden. Dadurch kehren sich aber nur

die Stromrichtungen um, die Funktion bleibt gleich. Anzumerken ist noch, daß wegen der umgekehrten Stromrichtungen in diesem Fall bei einer Leitungsunterbrechung das entsprechende Ausgangssignal YK2 bzw. YK3 gegenüber Tabelle 1 invertiert 5 ist, ein Fehler also vorliegt, wenn beide Ausgänge eine logische "0" liefern. Das Signal JTAG_MODE in Fig. 9 und 10 ist vom sog. TAP-Controller zu liefern, der Bestandteil der Boundary Scan-Logik ist /1/. Dieses Signal soll im Boundary Scan-Fall logisch "1" sein, so daß M4 und M5 leiten und die Zu- 10 satzschaltung aktiviert wird. Im Normalbetrieb ist JTAG_MODE logisch "0", die Transistoren M4 und M5 sind dann folglich gesperrt. Zur Einsparung von Verlustleistung können beim Normalbetrieb auch die Komparatoren K2 und K3 sowie die 15 Stromquelle IREF abgeschaltet werden. M4 und M5 sowie K2 und K3 können mit geringen Transistorweiten dimensioniert werden, so daß die zusätzliche Kapazität an den Eingängen gering bleibt verglichen mit der Gesamtkapazität von Gehäuse, Pads, ESD-Schutzstrukturen und Komparator K1, so daß die Grenzfrequenz nicht nennenswert gemindert wird. Für den LVDS-Fall 20 gilt ebenfalls Tabelle 1.

Befinden sich die Abschlußwiderstände außerhalb des Bausteins, so verhindern die Stromquellen mit M2 bis M5, daß die Eingänge der Komparatoren K2 bzw. K3, die an E1.1 bzw. E1.2 25 angeschlossen sind, schweben, wenn sich zwischen externem Abschlußwiderstand und der Eingangsschaltung eine Unterbrechung befindet, z. B infolge eines nicht angelöteten Pins E1.1 bzw. E1.2. Wenn es erforderlich ist, daß bei Unterbrechung beider Leitungen auch Komparator K1 einen definierten 30 Pegel an die Kernlogik abgibt, kann durch eine zusätzliche Überwachungsschaltung detektiert werden, daß sich beide Eingänge - je nach Polung der Stromquellen - auf negativer oder positiver Versorgungsspannung befinden und in Folge ein definierter Pegel weitergegeben werden. Dies entspricht dem 35 Stand der Technik und wird nicht weiter erläutert.

Ein Ausführungsbeispiel der erfindungsgemäße Zusatzschaltung für den CML-Fall ist in Fig. 11 gezeigt. Es entspricht der Variante aus Fig. 7. Der Komparator K1 ist der CML-Eingangskomparator. Die Komparatoren K2 und K3, die Transistoren M1, M2 und M3, die Referenzstromquelle IREF und ein zusätzlicher Referenzwiderstand RREF bilden die Zusatzschaltung für den Boundary Scan-Fall. Ferner sind zwei Boundary Scan-Zellen BSc-Z1 und BScZ2 vorhanden, die zum normalen Boundary Scan-Register gehören. Im Normalbetrieb ist das Signal

10 JTAG_MODE logisch "0", M3 folglich gesperrt.

Im Boundary Scan-Fall ist JTAG_MODE logisch "1" und es wird von der Stromquelle IREF der Strom über den Transistor M1 auf M2 gespiegelt. Der Stromfluß durch M2 und M3 wird so gewählt, daß sich an RREF ein Spannungsabfall von ca. 75 mV einstellt, 15 also z.B. $J(M2) = 150 \mu\text{A}$ und $RREF = 500 \Omega$. Für den Spannungsabfall und die Maßnahmen zur Einsparung von Verlustleistung gilt das gleiche wie oben bereits beschrieben. Tabelle 2 zeigt die jeweiligen möglichen Kombinationen von Sendepegeln, intakten oder unterbrochenen Leitungen und entsprechenden 20 Ausgangspegeln der Komparatoren K2 und K3; die logische Funktion entspricht der von Tabelle 1, nur die Höhe der Pegel in Spalte E1.1 und E1.2 ist unterschiedlich.

Zustand der Lei-tungen		Sendedatum am Ausgang		Empfangs-datum am Eingang		Kompara-tor-ausgänge		Bemerkung
L1	L2	A1.1	A1.2	E1.1	E1.2	YK2	YK3	
intakt	intakt	0	1	0	1	0	1	
intakt	intakt	1	0	1	0	1	0	
Unter-brochen	intakt	0	1	1	1	1	1	Fehler an L1 erkannt
Unter-brochen	intakt	1	0	1	0	1	0	
intakt	unter-brochen	0	1	0	1	0	1	
intakt	unter-brochen	1	0	1	1	1	1	Fehler an L2 erkannt
Unter-brochen	unter-brochen	0	1	1	1	1	1	Fehler an L1 erkannt
Unter-brochen	unter-brochen	1	0	1	1	1	1	Fehler an L2 erkannt

Tabelle 2

5 Aus der Tabelle 2 ergibt sich, daß mit der erfindungsgemäßen Schaltung auch für den CML-Fall Unterbrechungen einer oder beider differentieller Leitungen eindeutig erkannt werden, wobei bei mindestens einer Leitungsunterbrechung an beiden Komparatorausgängen YK2 und YK3 jeweils eine logische "1" an-
10 liegt.

Befinden sich die Abschlußwiderstände RT1, RT2 außerhalb des Bausteins, so ist im Fall einer Unterbrechung an E1.1 oder E1.2 der nichtinvertierende Eingang von Komparator K2 bzw. K3 15 schwebend, wenn sich zwischen externem Abschlußwiderstand und der Eingangsschaltung eine Unterbrechung befindet, z.B. infolge eines nicht angelöteten Pins E1.1 bzw. E1.2. Fig. 12 zeigt eine Schaltungserweiterung mit den Transistoren M4 bis M7, die dies verhindert. M4 bis M7 bilden zwei zusätzliche

Stromquellen, die so zu dimensionieren sind, daß sie nur einen geringen Strom von wenigen μ A erzeugen, so daß zwar für den Unterbrechungsfall ein Schweben der Komparatoreingänge vermieden, die Funktion aber nicht beeinflußt wird. Wegen des 5 geringen Stromes kann man die Abschalttransistoren M5 und M7 sehr klein dimensionieren, so daß im Normalbetrieb nur eine minimale Kapazität am Eingang wirksam ist, die die Übertragungsgeschwindigkeit nur unwesentlich beeinflußt.

10 Gemäß einer besonderen Ausgestaltung der Erfindung ist mit einer Stromquelle, die mit einem Ende eines Widerstandes verbunden ist und dessen anderes Ende am Abschlußpotential liegt, eine Hilfsspannung relativ zum Abschlußpotential erzeugbar, wobei diese Hilfsspannung an die miteinander verbundenen invertierenden (bzw. nichtinvertierenden) Eingänge der 15 beiden Komparatoren geführt ist, während der jeweilige nicht-invertierende (bzw. invertierende) Eingang eines Komparators mit der ihm zugeordneten Eingangsleitung verbunden ist.

20 Gemäß einer besonderen Ausgestaltung der Erfindung ist die Stromquellen mit n-Kanal-Transistoren (bei CMOS-Technologie) bzw. npn-Transistoren (bei Bipolarechnologie) realisiert wo- bei an jedem der Abschlußwiderstände einen Stromfluß vom Abschlußpotential zum negativen Versorgungspotential (Masse 25 bzw. Ground) bewirkt wird.

Gemäß einer besonderen Ausgestaltung der Erfindung ist die Stromquelle mit p-Kanal-Transistoren (bei CMOS-Technologie) bzw. pnp-Transistoren (bei Bipolarechnologie) realisiert wo- 30 bei an jedem der Abschlußwiderstände ein Stromfluß vom posi-tiven Versorgungspotential zum Abschlußpotential bewirkt wird.

Patentansprüche

1. Eingangsschaltung zur Detektion einer Unterbrechung in einer differentiellen Signalzuführung, bei der
 - 5 - differentielle Datensignale einem Paar von Eingangsschlüssen (E1.1, E1.2) zugeführt sind,
 - die beiden Eingangsanschlüsse mit den beiden Eingängen eines Datenkomparators (K1) zur Erzeugung der Daten verbunden sind,
- 10 dadurch gekennzeichnet, dass
 - jeder der beiden Eingangsanschlüsse mit jeweils einem Komparator (K2, K3) verbunden ist,
 - die Komparatoren eingangsseitig jeweils mit einer Hilfsspannung beaufschlagbar sind,
- 15 - die Signale an den Ausgängen der Komparatoren derart auswertbar sind, dass eine Unterbrechung wenigstens einer der Signalzuführungen erkannt wird.
2. Eingangsschaltung nach einem der vorstehenden Ansprüche
20 dadurch gekennzeichnet, dass die Eingangsschaltung in einer Integrierten Schaltung (IC2) angeordnet ist.
- 25 3. Eingangsschaltung nach einem der vorstehenden Ansprüche dadurch gekennzeichnet, dass die Eingangsanschlüsse jeweils über einen Widerstand (RT1, RT2) mit einem Abschlusspotential (UTT, VDD) verbunden sind.
- 30 4. Eingangsschaltung nach Anspruch 3 dadurch gekennzeichnet, dass wenigstens eine Stromquelle vorhanden ist, die an den Widerständen die Hilfsspannungen bewirken.

5. Eingangsschaltung nach einem der vorstehenden Ansprüche dadurch gekennzeichnet, dass die Hilfsspannung größer als der maximale Eingangsoffset des Komparators und kleiner als der minimale durch das Datensignal bewirkte Spannungshub ist.
10. 6. Eingangsschaltung nach Anspruch 2 bis 5 dadurch gekennzeichnet, dass die Widerstände (RT1, RT2) in der Integrierten Schaltung (IC2) angeordnet sind.
15. 7. Eingangsschaltung nach Anspruch 2 bis 6 dadurch gekennzeichnet, dass die Widerstände (RT1, RT2) außerhalb der Integrierten Schaltung (IC2) anordenbar sind.
20. 8. Eingangsschaltung nach nach Anspruch 7 dadurch gekennzeichnet, daß zwei Stromquellen vorhanden sind, die je mit dem einen Anschluß mit dem Eingangsanschluß und mit dem anderen Anschluß mit einem Versorgungspotential verbunden sind und daß jede der beiden Stromquellen einen Strom einprägt, der deutlich geringer ist als die im Normalbetrieb oder Testfall fließenden Ströme.
25. 9. Eingangsschaltung nach einem der vorstehenden Ansprüche dadurch gekennzeichnet, dass die Ausgänge der Komparatoren mit jeweils einer Boundary-Scan-Zelle (BSC-Z1, BSC-Z2) eines Boundary-Scan-Schieberegisters verbunden sind.
30. 10. Eingangsschaltung nach einem der vorstehenden Ansprüche dadurch gekennzeichnet, dass die Eingangsschaltung abschaltbar ist.

Zusammenfassung

Empfängerseitige Zusatzschaltung für den Boundary Scan bei der Datenübertragung mit differentiellen Signalen

5

Für Integrierte Schaltkreise mit differentiellen Dateneingängen wird eine Eingangsschaltung vorgeschlagen, die im Zuge eines Boundary Scan-Tests eine Unterbrechung in einer oder in beiden Signalzuführung eindeutig erkennbar macht.

10

Fig. 6

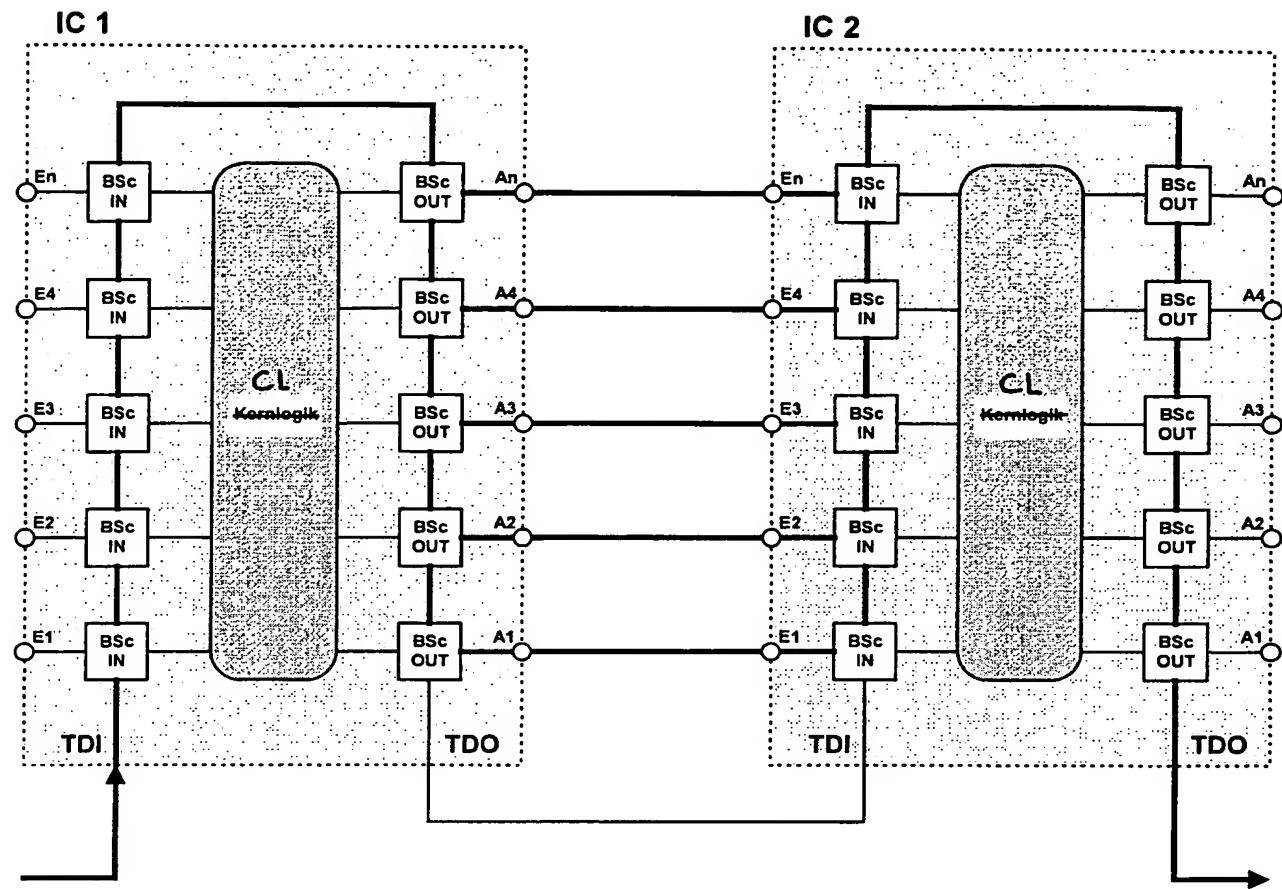


FIG
Bild 1

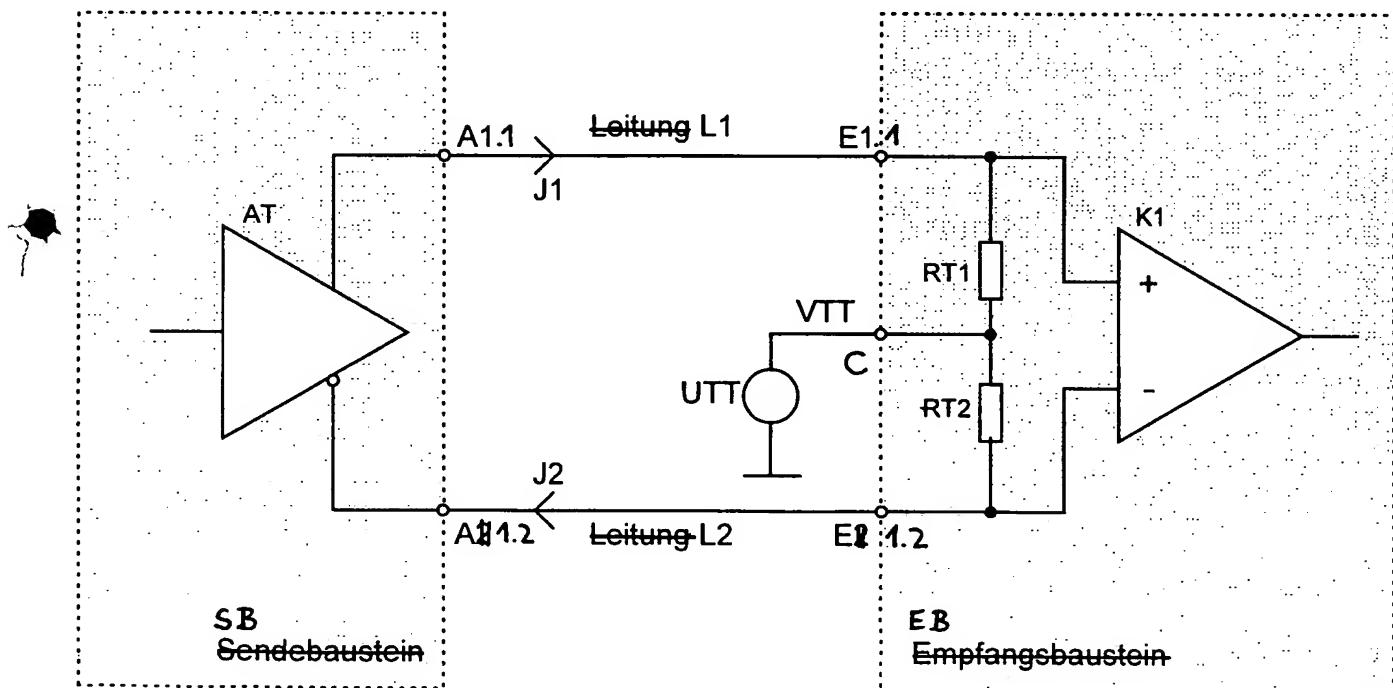
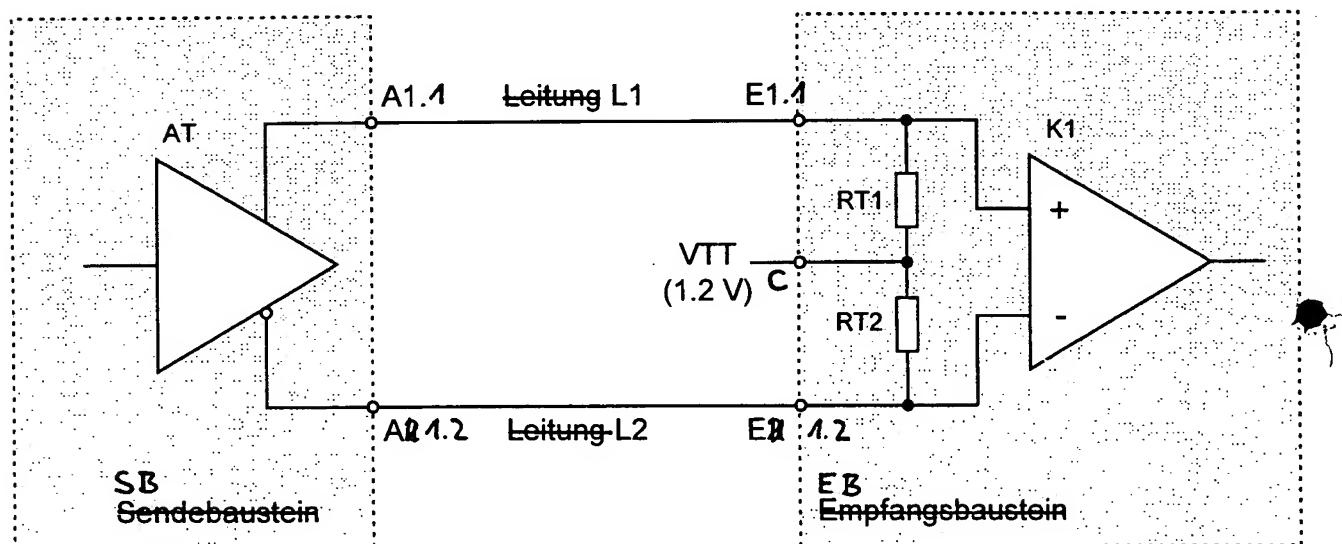
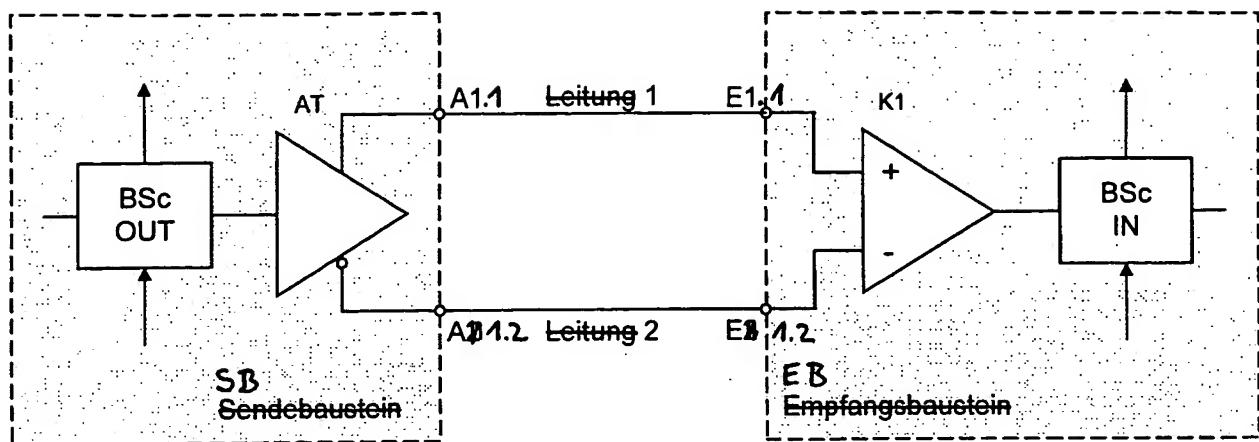
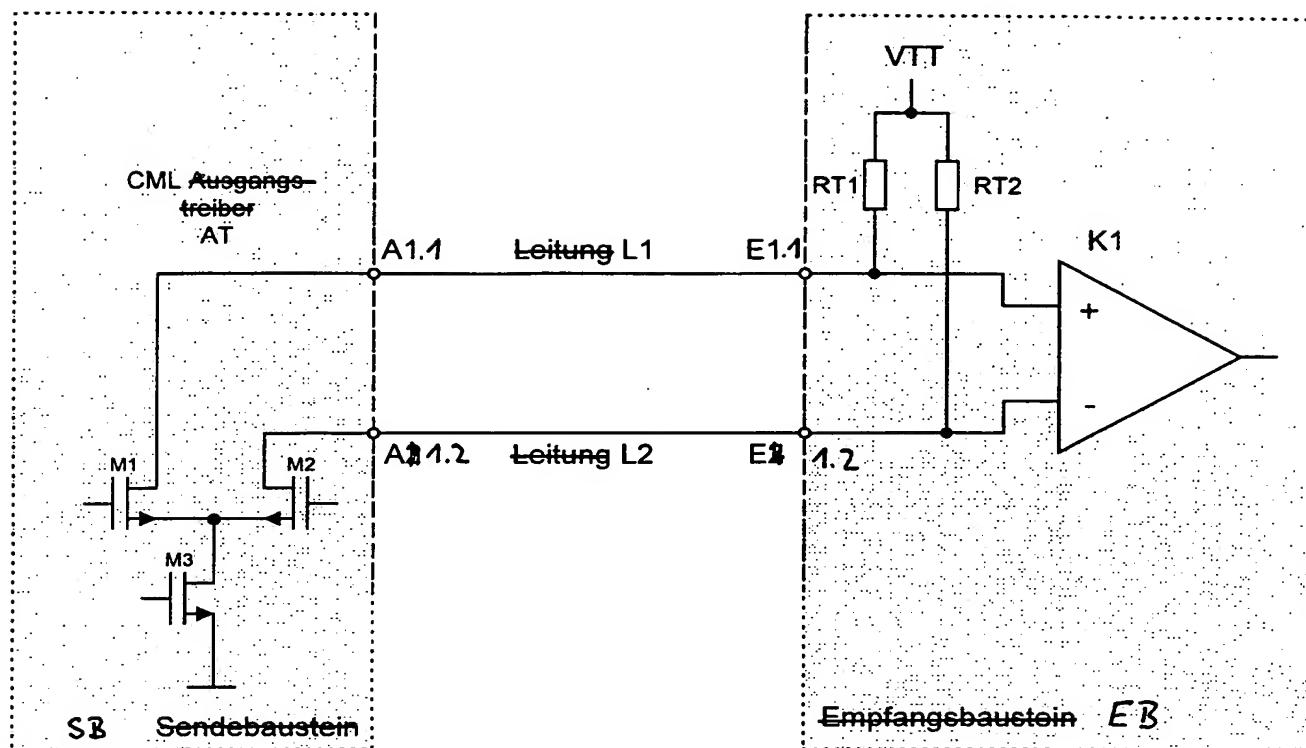
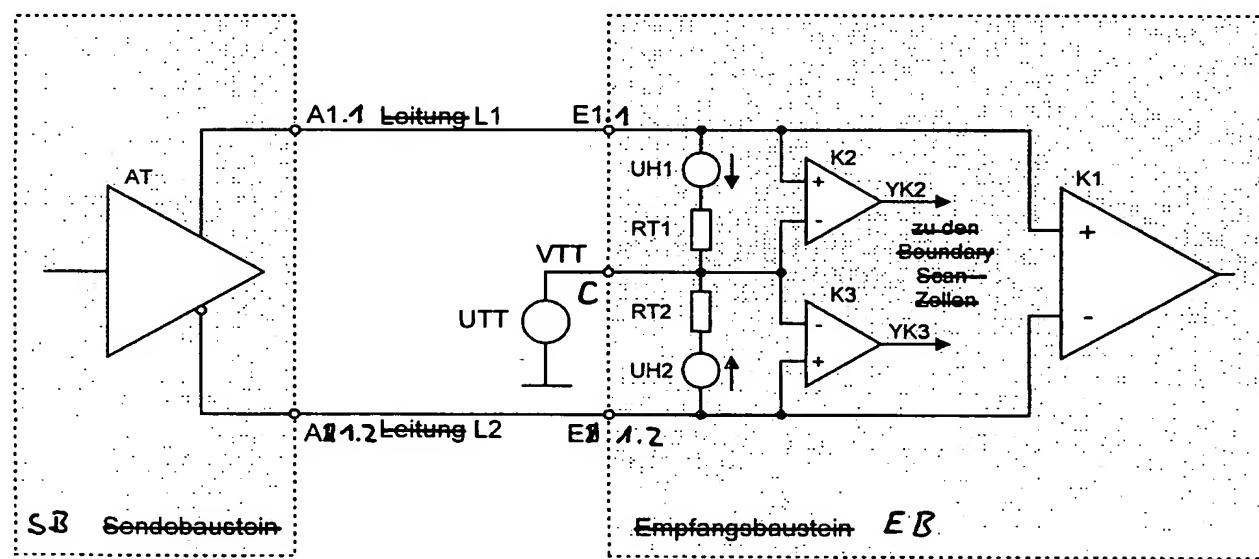


Bild 2
FIG



FIG
Bild 5FIG
Bild 6

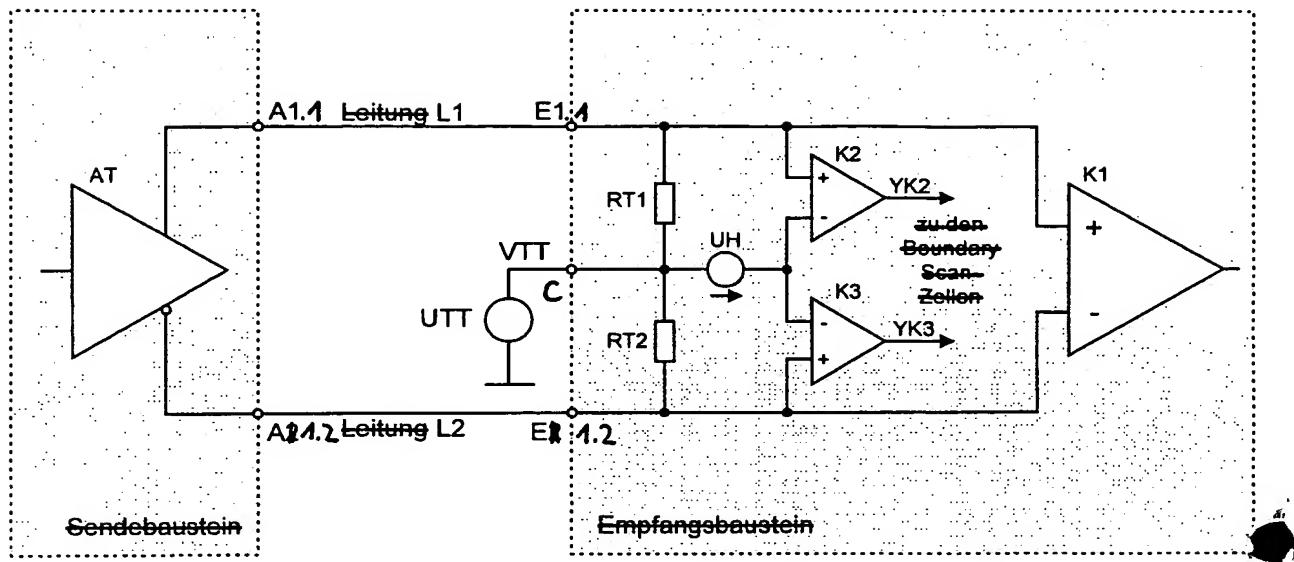


FIG
Bild 7

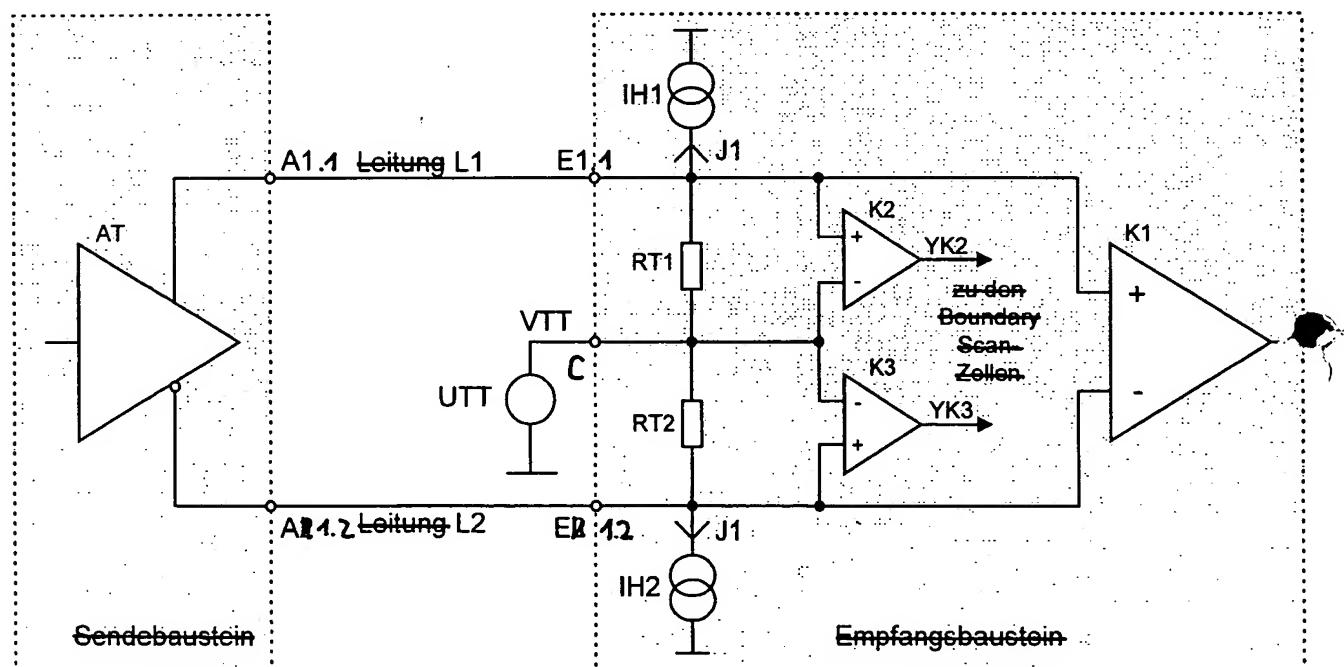


FIG
Bild 8

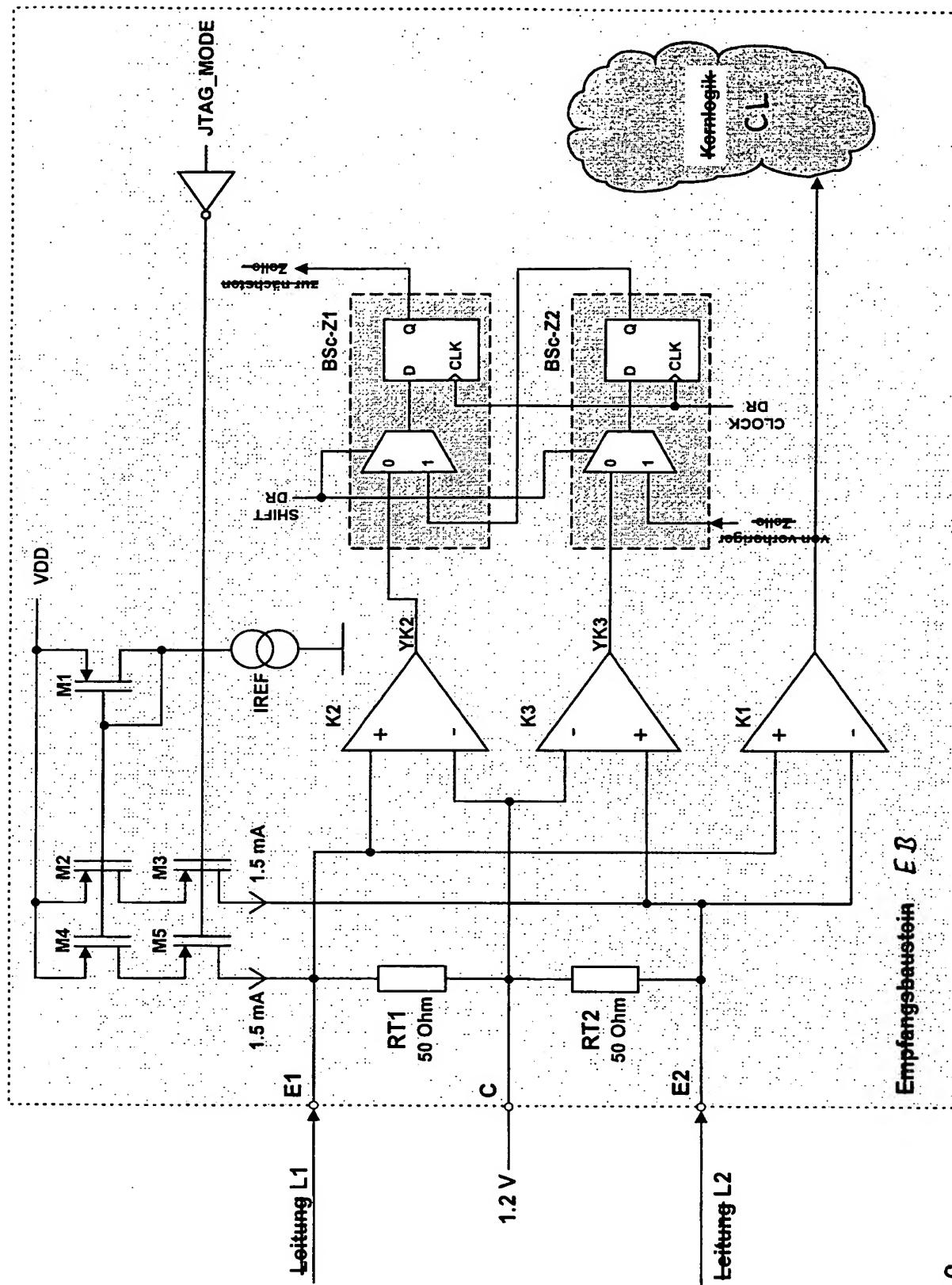


FIG 9

Bild 9

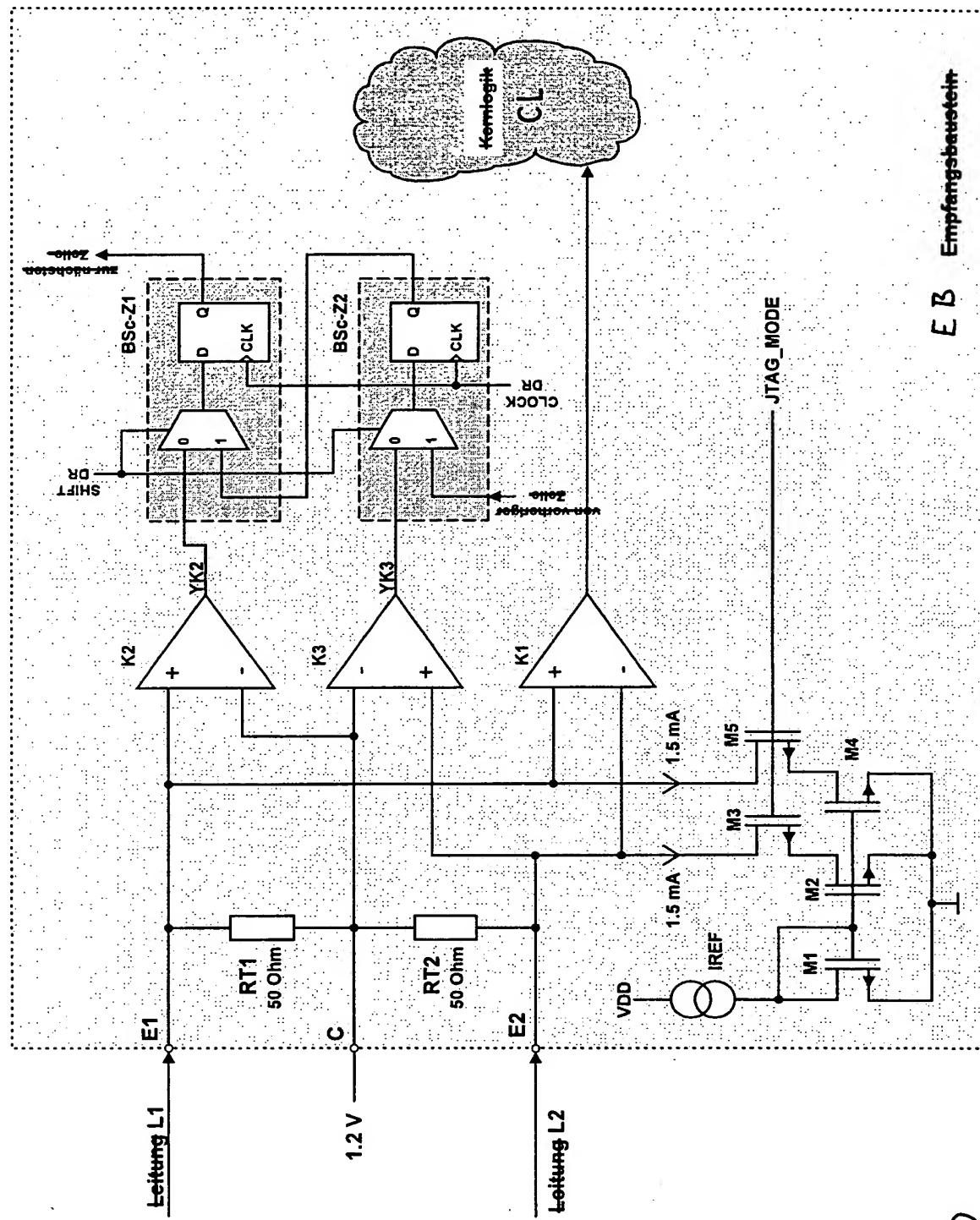


FIG 10

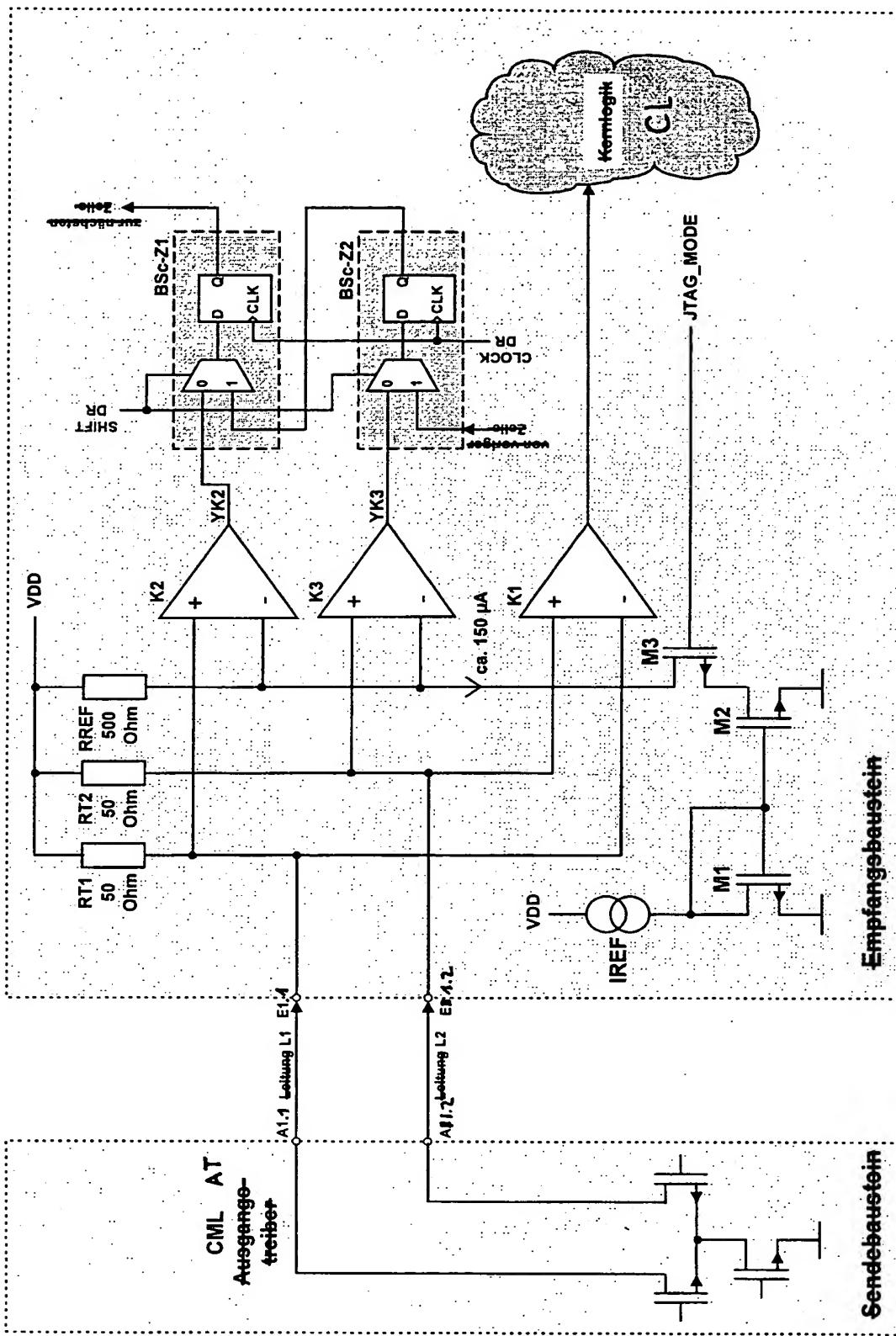


Bild 11

FIG 11

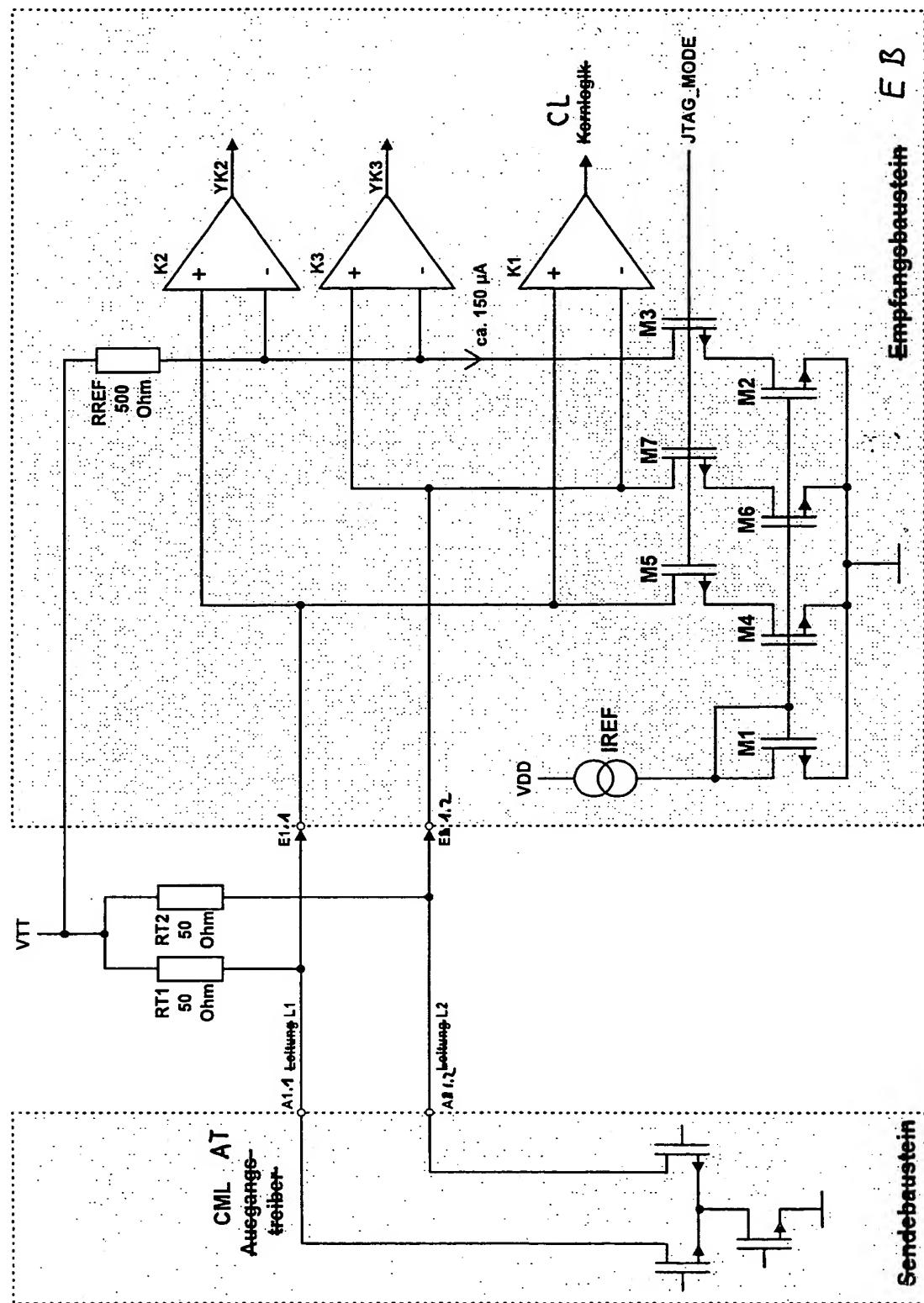


Bild 12

FIG 12